



# PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02013109 A

(43) Date of publication of application: 17.01.90

(51) Int. Cl

Н03Н 3/02

H01L 41/08

(21) Application number: 63163125

(71) Applicant: JAPAN RADIO CO LTD

(22) Date of filing: 30.06.88

(72) Inventor: OHASHI HIROSHI  
TAKEUCHI YOSHIHIKO

#### (54) MANUFACTURE OF THIN FILM RESONATOR

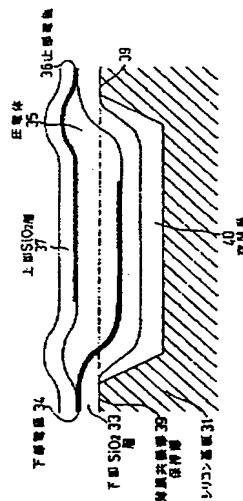
**(57) Abstract:**

**PURPOSE:** To reduce the occurrence of deflection or crack and to form a thin film resonator with high mechanical strength and less deterioration in its characteristic at resonance by dispersing a distortion stress of a thin film resonance part.

**CONSTITUTION:** A piezoelectric member made of ZnO or the like with electrode materials clipped thereupon and a thin film resonance part whose upper and lower faces are fitted by SiO<sub>2</sub> are separated from a silicon substrate 31 via a space layer 40. Moreover, the thickness of an etching member embedded in a silicon substrate etching part is selected to the etching depth subtracted by nearly a half the thickness of the thin film resonance part to mate the center face of the thin film resonance part nearly with the surface and its prolonged line of the silicon substrate 31. Since the thickness of the electrode thin film is usually sufficiently thinner than that of other thin films, the entire thin film resonance part is nearly symmetrical in the broadwise direction and the distortion stress on the film border is cancelled in the entire multi-layer film

thereby reducing the occurrence of deflection or crack considerably.

COPYRIGHT: (C)1990,JPO&Japio



⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

平2-13109

⑯ Int. Cl.<sup>5</sup>

H 03 H 3/02  
H 01 L 41/08

識別記号

府内整理番号

B 7210-5 J

⑮ 公開 平成2年(1990)1月17日

7342-5F H 01 L 41/08

D

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 薄膜共振子の製造方法

⑮ 特願 昭63-163125

⑮ 出願 昭63(1988)6月30日

⑯ 発明者 大橋 寛 東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

⑯ 発明者 竹内 嘉彦 東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

⑮ 出願人 日本無線株式会社 東京都三鷹市下連雀5丁目1番1号

明 稲田

3. 発明の詳細な説明

(産業上の利用分野)

本発明は薄膜共振部の内部歪応力を分散する構造を有する薄膜共振子に関する。

(従来の技術とその課題)

従来のこの種の素子を図面により説明する。

第3図は従来のこの種の薄膜共振子の断面図である。11はシリコン基板、12はエピタキシャル層、13はSiO<sub>2</sub>層、14は下部電極、15は圧電体材料であるZnO層、16は上部電極である。この種の素子の動作原理は、下部電極14及び上部電極16に高周波信号を加えることにより、圧電体ZnO15は高周波信号の周期で伸縮を繰り返し、薄膜共振部、即ちエピタキシャル層12、SiO<sub>2</sub>層13及び圧電体15の厚さにより共振する。

この種の素子の製造方法は、ボロン等を高濃度にドーピしたエピタキシャル層12を(100)シリコン基板11上に形成し、このシリコン基板11の裏面を部分的にマスクした後、異方性エッ

1. 発明の名称

薄膜共振子の製造方法

2. 特許請求の範囲

(1) シリコン基板を異方性エッティングする手段と、該エッティング部分にエッティング材を埋める手段と、その上面において圧電体材料を上部電極と下部電極で挟む手段と、前記上部電極と下部電極をSiO<sub>2</sub>層により挟み薄膜共振部を形成する手段と、前記シリコン基板のエッティング部に埋められたエッティング材をエッティングすることにより薄膜共振部とシリコン基板とを分離する手段より成ることを特徴とする薄膜共振子の製造方法。

(2) 請求項第1項の薄膜共振子において、シリコン基板を該薄膜共振子の厚みの1/2より深くエッティングし、該エッティング部にエッティング材を埋めた後のエッティング部の深さが前記薄膜共振子の厚みの約1/2としたことを特徴とする薄膜共振子の製造方法。

## 特開平2-13109 (2)

チング液にてシリコン基板11の裏面よりエピタキシャル層12部分までエッティングを行う。次に、SiO<sub>2</sub>層13をスパッタリング等で形成し、下部電極14を真空蒸着法及びフォトリソグラフィ技術により形成する。さらにその上に圧電体15をスパッタリング等で形成し、上部電極16を下部電極14と同様に形成することにより製造する。

第4図はこの種の素子の他の例の断面図である。21はシリコン基板、23は下部SiO<sub>2</sub>層、24は下部電極、25は圧電体、26は上部電極、27は上部SiO<sub>2</sub>層、28は開口部、29は薄膜共振部保持部である。次にその動作原理は、第1図同様下部電極24及び上部電極26に加えられた高周波信号により、圧電体25は伸縮を繰り返し、薄膜共振部、即ち下部SiO<sub>2</sub>層23、圧電体25、及び上部SiO<sub>2</sub>層27の厚さにより共振する。

第4図の構造の製造方法は、開口部28をマスクし、シリコン基板21上に下部SiO<sub>2</sub>層23、下部電極24、圧電体25、上部電極26及び上部SiO<sub>2</sub>層27を第3図同様の方法にて形成す

振部の歪応力を分散させ、たわみ、クラックの発生を低減させる構造の薄膜共振子を提供するものである。

## (実施例)

上記問題点を解決するためになされた本発明の薄膜共振子の実施例を第1図の断面図により詳細に説明する。31はシリコン基板、33は下部SiO<sub>2</sub>層、34は下部電極、35は圧電体、36は上部電極、37は上部SiO<sub>2</sub>層、39は薄膜共振部保持部、40は薄膜共振部とシリコン基板を分離する空間層である。

本発明の素子を動作させるためには、下部電極34と上部電極36の間に高周波信号を加えることにより、圧電体35は高周波信号の周期で伸縮を繰り返し、薄膜共振部、即ち下部SiO<sub>2</sub>層33、圧電体35及び上部SiO<sub>2</sub>層37の厚さにより共振する。

本発明の製造方法を第2図にて説明する。

(100) シリコン基板31表面の一部をマスクした後、異方性エッティングを行う(a)。エッ

タる。次に、マスクされた開口部28より異方性エッティングし素子を製造する。

ここで、上記製造方法において一般に多層に薄膜を形成する場合、例えばスパッタリング法にて形成する場合では基板温度は約600°Cになり、これを室温(約25°C)に戻すと熱膨張差のため薄膜界面には歪応力が発生する。第3図の構造では薄膜共振部は厚み方向に非対称であり、また第4図の構造では薄膜共振部は厚み方向に対称であるが、薄膜共振部保持部29では非対称である。このように、第3図、第4図のように従来の薄膜共振子ではいずれも厚み方向に非対称な部分がある。厚み方向に非対称であると、膜界面の歪応力が多層膜全体として打ち消されず破壊しやすい欠点があった。

上記した薄膜共振子では、素子作製時に蓄積する内部応力により、薄膜共振部にたわみ、クラックの発生を充分低減させることは難しかった。

## (課題を解決するための手段)

本発明は、上記問題点を解決するため、薄膜共

振部の歪応力を分散させ、たわみ、クラックの発生を低減させる構造の薄膜共振子を提供するものである。

（実施例）

上記問題点を解決するためになされた本発明の薄膜共振子の実施例を第1図の断面図により詳細に説明する。31はシリコン基板、33は下部SiO<sub>2</sub>層、34は下部電極、35は圧電体、36は上部電極、37は上部SiO<sub>2</sub>層、39は薄膜共振部保持部、40は薄膜共振部とシリコン基板を分離する空間層である。

本発明の素子を動作させるためには、下部電極34と上部電極36の間に高周波信号を加えることにより、圧電体35は高周波信号の周期で伸縮を繰り返し、薄膜共振部、即ち下部SiO<sub>2</sub>層33、圧電体35及び上部SiO<sub>2</sub>層37の厚さにより共振する。

本発明の製造方法を第2図にて説明する。

(100) シリコン基板31表面の一部をマスクした後、異方性エッティングを行う(a)。エッタ

タる。次に、マスクされた開口部28より異方性エッティングし素子を製造する。

ここで、上記製造方法において一般に多層に薄膜を形成する場合、例えばスパッタリング法にて形成する場合では基板温度は約600°Cになり、これを室温(約25°C)に戻すと熱膨張差のため薄膜界面には歪応力が発生する。第3図の構造では薄膜共振部は厚み方向に非対称であり、また第4図の構造では薄膜共振部は厚み方向に対称であるが、薄膜共振部保持部29では非対称である。このように、第3図、第4図のように従来の薄膜共振子ではいずれも厚み方向に非対称な部分がある。厚み方向に非対称であると、膜界面の歪応力が多層膜全体として打ち消されず破壊しやすい欠点があった。

上記した薄膜共振子では、素子作製時に蓄積する内部応力により、薄膜共振部にたわみ、クラックの発生を充分低減させることは難しかった。

（課題を解決するための手段）

本発明は、上記問題点を解決するため、薄膜共

振部の歪応力を分散させ、たわみ、クラックの発生を低減させる構造の薄膜共振子を提供するものである。

（実施例）

上記問題点を解決するためになされた本発明の薄膜共振子の実施例を第1図の断面図により詳細に説明する。31はシリコン基板、33は下部SiO<sub>2</sub>層、34は下部電極、35は圧電体、36は上部電極、37は上部SiO<sub>2</sub>層、39は薄膜共振部保持部、40は薄膜共振部とシリコン基板を分離する空間層である。

本発明の素子を動作させるためには、下部電極34と上部電極36の間に高周波信号を加えることにより、圧電体35は高周波信号の周期で伸縮を繰り返し、薄膜共振部、即ち下部SiO<sub>2</sub>層33、圧電体35及び上部SiO<sub>2</sub>層37の厚さにより共振する。

本発明の製造方法を第2図にて説明する。

(100) シリコン基板31表面の一部をマスクした後、異方性エッティングを行う(a)。エッタ

タる。次に、マスクされた開口部28より異方性エッティングし素子を製造する。

ここで、上記製造方法において一般に多層に薄膜を形成する場合、例えばスパッタリング法にて形成する場合では基板温度は約600°Cになり、これを室温(約25°C)に戻すと熱膨張差のため薄膜界面には歪応力が発生する。第3図の構造では薄膜共振部は厚み方向に非対称であり、また第4図の構造では薄膜共振部は厚み方向に対称であるが、薄膜共振部保持部29では非対称である。このように、第3図、第4図のように従来の薄膜共振子ではいずれも厚み方向に非対称な部分がある。厚み方向に非対称であると、膜界面の歪応力が多層膜全体として打ち消されず破壊しやすい欠点があった。

上記した薄膜共振子では、素子作製時に蓄積する内部応力により、薄膜共振部にたわみ、クラックの発生を充分低減させることは難しかった。

（課題を解決するための手段）

本発明は、上記問題点を解決するため、薄膜共

## 特開平2-13109(3)

層40を形成する(g)。この時、電極材料により挟まれたZnO等圧電材料及びさらにその上下面をSiO<sub>2</sub>により挟んだ薄膜共振部は空間層40によりシリコン基板31と分離され構成される。また、シリコン基板エッティング部に埋められるエッチング材の厚さをエッティング深さから薄膜共振部の厚さの約1/2を引いた厚さにすることにより、薄膜共振部の中心面をシリコン基板31の表面及びその延長線とほぼ同一にすることができる。

この様に製造すると、通常電極薄膜の厚さは他の薄膜と比較し充分薄いので、薄膜共振部の全体は厚み方向にはほぼ対称となり膜界面の歪応力が多層膜全体では打ち消し、たわみ、クラックの発生を著しく低減できる。

またここではZnO等圧電体の上下面をSiO<sub>2</sub>層にて挟んだ構造のものを示したが、特に上下のSiO<sub>2</sub>層の無い薄膜共振部を持つ薄膜共振子にても同様にたわみ、クラックの発生を著しく低減できることは明かである。

## (発明の効果)

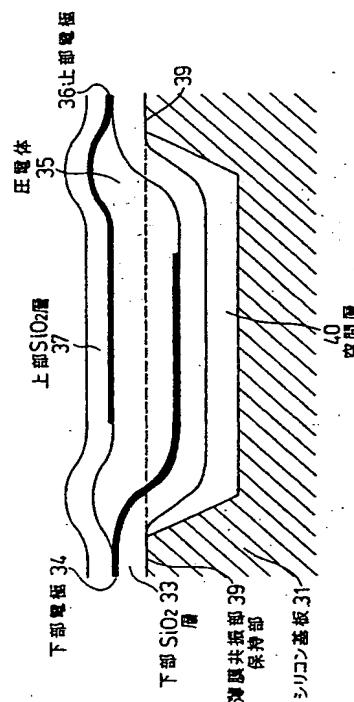
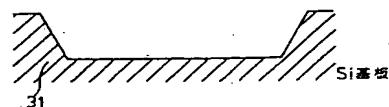
以上説明したように、本発明による薄膜共振子は薄膜共振部の歪応力を分散させる構造及び製造法なので、従来問題となっていた、たわみ、クラック等の発生を著しく低減させる効果があり、機械的強度の高い、共振時の特性劣化の少ない薄膜共振子を提供できる。

## 4. 図面の簡単な説明

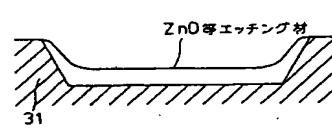
第1図は本発明の薄膜共振子の断面図、第2図は本発明の薄膜共振子の製造法の説明図、第3図及び第4図は従来の薄膜共振子の断面図である。11, 21, 31…Si基板、12…エピタキシャル層、13…SiO<sub>2</sub>層、14, 24, 34…下部電極、15, 25, 35…圧電体、16, 26, 36…上部電極、23, 33…下部SiO<sub>2</sub>層、27, 37…上部SiO<sub>2</sub>層、28…開口部、29, 39…薄膜共振部保持部、40…空間。

特許出願人 日本無線株式会社

第1図

第2図  
(a)

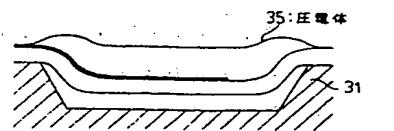
(b)



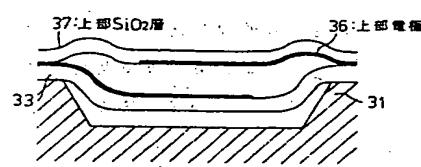
(c)



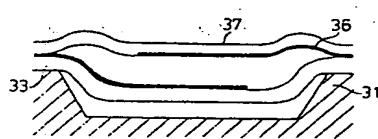
特開平2-13109 (4)

第2図  
(d)

(e)

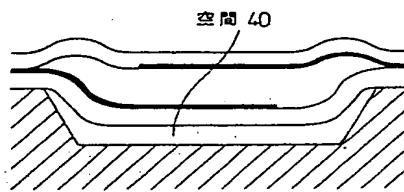


(f)

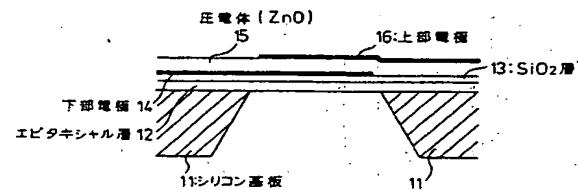


第2図

(g)



第3図



第4図

